

PAT-NO: JP363076446A
DOCUMENT-IDENTIFIER: JP 63076446 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE
PUBN-DATE: April 6, 1988

INVENTOR-INFORMATION:

NAME
SHINO, TOSHIO
SUWA, IZUMI
HORI, SHIGEKAZU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP61221419
APPL-DATE: September 19, 1986

INT-CL (IPC): H01L021/60, H01L021/52

US-CL-CURRENT: 257/621

ABSTRACT:

PURPOSE: To excellently contact an earthing conductor to a carrier plate at all times by a method wherein recessed parts are formed at the position corresponding to the through hole formed on a semiconductor substrate on the chip mounting stand on which a semiconductor integrated circuit chip will be mounted.

CONSTITUTION: A semiconductor integrated circuit chip,

on which an electric circuit 223 formed on one surface of a semiconductor substrate 22 and an electric circuit 226 formed on the other surface of the semiconductor substrate 22 are electrically connected through the intermediary of a through hole formed on a semiconductor substrate 222, and a chip mounting body on which the semiconductor circuit chip will be mounted are provided. Then, a recessed part 211 is formed at the position corresponding to the above-mentioned through hole of the chip mounting stand 21. For example, a groove 221 is formed as the above-mentioned recessed part, and the protruding part of a plated metal layer 225, with which the through hole will be buried, is fitted into the groove 211. As a result, the earthing conductor 226 formed on the back surface of the substrate and a carrier plate 21 can be contacted with each other in spite of the fact that the plated metal layer 225 is protruded from the back surface of the substrate.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-76446

⑤ Int.Cl.⁴H 01 L 21/60
21/52

識別記号

庁内整理番号

6918-5F
A-8728-5F

④ 公開 昭和63年(1988)4月6日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 昭61-221419

⑰ 出 願 昭61(1986)9月19日

⑱ 発 明 者 篠 敏 生 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内
 ⑲ 発 明 者 諏 訪 い ず み 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内
 ⑳ 発 明 者 堀 重 和 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内
 ㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
 ㉒ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

(従来の技術)

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

半導体基板の一方の面に形成された電気回路と他方の面に形成された電気回路が、上記半導体基板に形成された貫通孔を介して電気的に接続された半導体集積回路チップと、

この半導体集積回路チップが据え付けられるチップ据付け体と、

このチップ据付け体において、上記貫通孔に対応する位置に形成された凹部とを具備したことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、モノリシックマイクロ波集積回路(以下、MMICと記す)等の半導体集積回路をキャリアプレート等に据え付けてなる半導体集積回路に関する。

近年、マイクロ波増幅器等においては、盛んにMMIC化が進められている。MMICは、電界効果トランジスタ(以下、FETと記す)やダイオード等の半導体素子と、キャパシタ、インダクタ及び伝送線路等の回路素子を同一半導体基板上に集積化したものである。このMMICにおいては、接地用導体は、FET等が形成されている基板面(以下、基板表面と記す)とは反対側の面(以下、基板裏面と記す)に形成されている。したがって、FETのソース電極等を接地用導体との接続が問題となる。

従来は、キャリアプレートに対して、基板裏面が該プレートと対向するようにMMICチップを据え付け、このキャリアプレートと基板表面のソース電極等を金属でボンディングすることにより、ソース電極等と接地用導体とを接続するようにしていた。これに対し、近年、MMICの開発が進むにつれ、基板に形成された貫通孔、いわゆるビアホール(Via Hole)を介してソース電極等

と接地用導体と接続する構成が開発されている。この構成によれば、パターン設計の自由度の向上、接地インダクタンスの低減、チップ組立時間の短縮等多くの効果が得られる。

第3図は貫通孔を使った接続構成の一例を示すものである。図示の例は、半導体基板11に形成された貫通孔12の内壁まで基板裏面に形成された接地導体13を延ばし、基板表面に形成されたソース電極等(以下、単に電極と記す)14と接続するようにしたものである。

しかし、この接続構成の場合、貫通孔12の大部分がそのまま空間として残っている。この空間は、合金半田を用いてMMICチップをキャリアプレートに据え付ける場合であっても、ほとんど半田によって充填されることはなく、そのまま残ってしまう。その結果、チップ組立時の温度変化に応じて貫通孔12内の空気が膨張、収縮して電極14が破れてしまう場合があるという問題があった。

この問題を解決するものとして考えられたのが、

周波特性が大幅に損なわれるという問題もあった。

(発明が解決しようとする問題点)

以上述べたように接続用貫通孔を有する従来のMMIC装置においては、接地用導体とキャリアプレートとの良好な接触を得ることができない場合があるという問題があった。

そこで、この発明は、接地用導体とキャリアプレートとを常に良好に接触させることができる半導体集積回路装置を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

上記目的を達成するためにこの発明は、半導体集積回路チップが据え付けられるチップ据付け体において、半導体基板に形成された貫通孔に対応する位置に凹部を形成するようにしたものである。

(作用)

上記構成によれば、めっき金属層の突出部を凹部に嵌め込むことができるので、接地用導体とチップ据付け体とを常に良好に接触させることが

第4図の接続構成例である。図示の例は、電極14側からめっき処理を施して貫通孔12内にめっき金属層15を形成し、接地導体12と電極14を接続するようにしたものである。

このような接続構成によれば、貫通孔12がめっき金属層15によってほぼ完全に埋め尽くされるので、チップ組立時の温度変化によって電極13が破れるということはない。

しかし、この接続構成をの場合、めっき金属層14の厚みをコントロールすることが難しく、しばしば第5図に示すようにめっき金属層14が基板裏面から突出してしまうことがあった。このようになると、第6図に示すように、MMICチップをキャリアプレート16に据え付けた場合、チップ全体がキャリアプレート16から浮き、接地用導体13とキャリアプレート16との接触が不十分になるという問題があった。さらに、貫通孔12の大きさのばらつき等によるめっき金属層15の厚みのばらつきにより、この厚みの小さい部分では全く接地がとれなくなり、MMICの高

できる。

(実施例)

以下、図面を参照してこの発明の一実施例を詳細に説明する。

第1図はこの発明の一実施例の構成を示す平面図である。

この第1図において、21はキャリアプレートである。このキャリアプレート21の上には、MMICチップ22、50Ω線路付入出力基板23、チップコンデンサ24が据え付けられている。

MMICチップ22上に形成されるMMICは、2つのFET221を使った2段増幅器である。このMMICチップ22の半導体基板222において、FET221のソース電極223(第2図参照)に対応する位置には、貫通孔224が形成されている。

キャリアプレート22において、上記貫通孔224に対応する位置には、溝221が形成されている。この溝221は、第2図の側断面図に示すように、貫通孔211を埋めるめっき金属層

225の突出部が嵌め込まれるようになっている。これにより、めっき金属層225が基板裏面から突出しているにもかかわらず、基板裏面に形成された接地用導体226とキャリアプレート21とを接触させることができる。また、これにより、めっき金属層225が基板裏面から突出していない部分においても、接地用導体226とキャリアプレート21との接触がなされることになり、MIMの高周波特性の劣化を防ぐことができる。

なお、この発明は凹部として溝211の代りに、例えば穴を設けるようにしてもよい。

また、この発明は、めっき金属層225を使った接続構成をもつものだけでなく、先の第3図のような接続構成をもつものにも適用可能なことは勿論である。この場合は、溝211が空気抜き役目をするので、ソース電極223が破れることはない。この効果は溝211の代りに穴を用いた場合でも、この穴がキャリアプレートを通していれば得られる。

また、チップ据付け体としては、プレート型の

ものに限らず、パッケージ形のものであってもよいことは勿論である。

〔発明の効果〕

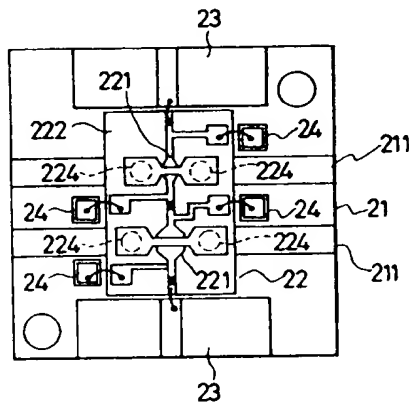
以上述べたようこの発明によれば、接地用導体とチップ据付け体とを常に良好に接触させることができる半導体集積回路装置を提供することができる。

4. 図面の簡単な説明

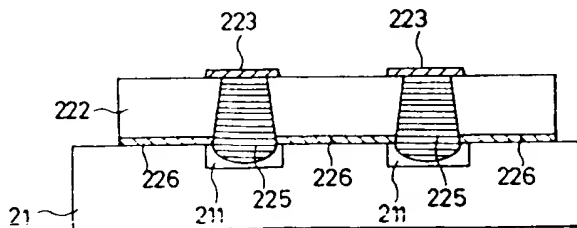
第1図はこの発明の一実施例の構成を示す平面図、第2図は同じく側断面図、第3図は従来の半導体集積回路装置の一例の構成を示す側断面図、第4図は同じく他の例を示す側断面図、第5図及び第6図は第4図の問題を説明するために示す側断面図である。

21…キャリアプレート、211…溝、222…半導体基板、223…ソース電極、224…貫通孔、26…接地用電極。

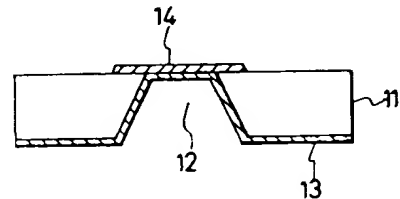
出願人 代理人 弁理士 鈴江武彦



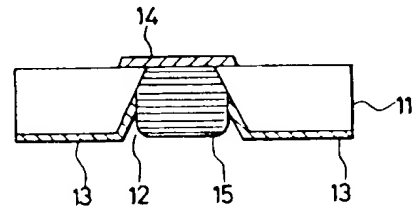
第 1 図



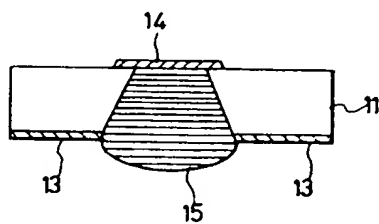
第 2 図



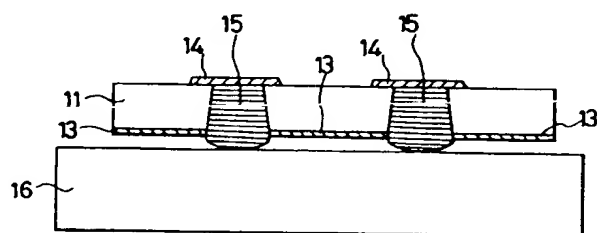
第 3 図



第 4 図



第 5 圖



第 6 圖